
Inhaltsverzeichnis

1 Einführung.....	9
1.1 Schaltungsentwurf.....	10
1.2 Aufbau der Field Programmable Gate Arrays.....	11
2 Digitale Systeme.....	15
2.1 FlipFlops und Register.....	18
2.2 Speicherblöcke.....	22
2.3 Wahrheitstabellen.....	23
2.4 Multiplexer.....	25
2.5 Logikblöcke.....	26
2.6 Ein-/Ausgangsblöcke.....	27
2.7 Takterzeugung und PLLs.....	29
3 Digitale Schaltungstechnik.....	31
3.1 Kombinatorische Schaltung.....	31
3.2 Synchrone Schaltungen.....	32
3.3 Asynchrone Schaltungen.....	33
3.4 Schaltungseffekte.....	34
3.4.1 Metastabilitäten.....	35
3.4.2 Signalimpulse und Verzögerungen.....	36
3.4.3 Haltezeitverletzung.....	38
3.4.4 Geschalteter Takt.....	40
3.4.5 Kombinatorische Schleifen.....	41
3.4.6 Race-Bedingung in der Schaltung.....	42
3.5 Simulationseffekte.....	43
3.5.1 Race-Bedingung in der Simulation.....	43
3.5.2 Signalpegel.....	44
3.5.3 Taktverhältnisse.....	44
3.5.4 Analoge Schaltungskomponenten.....	44
3.5.5 Speicherkomponenten.....	45
3.6 FPGA-Schaltungsentwurf.....	45
3.6.1 Taktbereiche und -übergänge.....	46
3.6.2 Handshake-Signale.....	50

3.6.3 Synchronisierstufen.....	51
3.6.4 Datenaustausch.....	53
3.6.5 Maximale Taktfrequenz.....	54
3.6.6 Schaltungsreset.....	56
3.6.7 Verwendung von Latches.....	58
3.6.8 Interne Signalbusse.....	59
4 Schaltungsentwicklung.....	63
4.1 Entwicklungsschritte.....	65
4.2 Spezifikation und Schaltungsdokumentation.....	68
4.3 HDL-Beschreibung.....	70
4.3.1 Verhaltensbeschreibung.....	71
4.3.2 Synthese-Beschreibung.....	73
4.3.3 Unterschiede zur Software-Programmierung.....	75
4.3.4 HDL-Beschreibungssprachen.....	76
4.3.4.1 VHDL-Beschreibung.....	77
4.3.4.1.1 VHDL-Algorithmen der Logikelemente.....	81
4.3.4.1.2 VHDL-Algorithmen weiterer Elemente.....	88
4.3.4.1.3 VHDL-Codierungsfehler.....	96
4.3.4.2 Verilog-Beschreibung.....	97
4.3.4.2.1 Verilog-Algorithmen der Logikelemente.....	101
4.3.4.2.2 Verilog-Algorithmen weiterer Elemente.....	106
4.3.4.2.3 Verilog-Codierungsfehler.....	111
4.3.4.3 SystemC und weitere Beschreibungssprachen.....	113
4.3.5 Programmwerkzeuge.....	115
4.4 Simulation und Verifikation.....	118
4.4.1 Verifikationsplan.....	121
4.4.2 Funktionale Verifikation.....	122
4.4.3 Regressionstest.....	125
4.4.4 Testumgebung.....	125
4.4.5 Zusicherungen.....	132
4.4.6 Transaktionen.....	141
4.4.7 Testfälle und Testabdeckung.....	141
4.4.8 Programwerkzeuge.....	143
4.5 Synthese und Implementierung.....	146
4.5.1 Schaltungshierarchien.....	152
4.5.2 Taktfrequenzen und -bereiche.....	155
4.5.3 Pin-Belegung.....	157

4.5.4 Verifikation des Zeitverhaltens.....	158
4.5.5 Programmwerkzeuge.....	159
4.6 Weiterführende Themen.....	160
5 FPGA-Bausteine.....	165
5.1 Actel-FPGAs.....	165
5.1.1 Libero-IDE.....	168
5.1.2 IGLOO-nano-Evaluierungskit.....	170
5.2 Altera-FPGAs.....	172
5.2.1 Quartus-II-Entwicklungsumgebung.....	176
5.2.2 Cyclone-II-Evaluierungskit.....	178
5.3 Xilinx-FPGAs.....	180
5.3.1 ISE-Entwicklungsumgebung.....	185
5.3.2 Spartan-3-Evaluierungskit.....	188
5.4 Weitere FPGA-Hersteller.....	191
5.5 Abgrenzung zu ASIC, ASSP und Structured ASIC.....	193
6 IP-Schaltungsteile.....	197
6.1 FPGA-Hersteller.....	199
6.2 Drittanbieter.....	203
6.3 OpenCores.....	204
6.4 Prozessoren.....	205
7 Entwurfsbeispiel: DDS-Frequenzgenerator.....	207
7.1 MATLAB/Simulink-Simulation.....	212
7.2 Software-Programm für Prozessoren.....	223
7.3 Schaltungsentwurf für FPGA.....	230
7.4 Simulation und Testumgebung.....	237
7.5 Synthese.....	246
7.6 Implementierung.....	247
7.7 Realisierung mit Actel-FPGA.....	249
7.8 Zusammenfassung.....	250
8 Referenzen und Links.....	253
9 Weiterführende Links	257
10 Glossar.....	259